

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330272

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 21/8242
H01L 27/108
G11C 11/56

(21)Application number : 10-134048

(71)Applicant : NEC CORP

(22)Date of filing : 15.05.1998

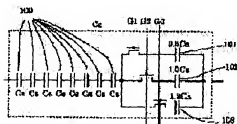
(72)Inventor : KASAI NAOIKI

(54) MULTI-LEVEL DRAM SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-level DRAM semiconductor device by which a ratio of a coupling capacity value C_c to a memory cell capacity value C_s can be made constant, without significantly increasing the area of a chip and the variation is eliminated during the manufacture of memory cell capacity elements C_s .

SOLUTION: An coupling capacity element C_c with a coupling capacity value C_c is provided with a first group of capacitors, where a plurality of capacitors 100 having the same capacity value as memory cell capacity value C_s are connected in series and a second group of capacitors, in which a plurality of capacitors 101, 102 and 103 are mutually connected in parallel and selection gates G_1 , G_2 and G_3 are connected to each capacitor in series, and then the first and second groups are connected in series therein. The selection gates are formed directly beneath the capacitors 100 on the semiconductor substrate, thereby preventing the increase in the area of a chip.



LEGAL STATUS

[Date of request for examination] 18.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3085280

[Date of registration] 07.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330272

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.*	識別記号	F I	
H 0 1 L 21/8242		H 0 1 L 27/10	3 2 1
27/108		G 1 1 C 11/34	3 8 1 A
G 1 1 C 11/56			

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平10-134048

(71) 出願人 000004237

日本電気株式会社

(22) 出願日 平成10年(1998)5月15日

(72) 発明者 荒井 直紀

東京都港区芝五丁目7番1号 日本電気株式会社内

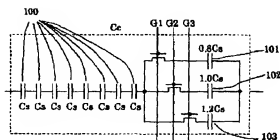
(74) 代理人 弁理士 藤巻 正憲

(54) 【発明の名称】 多値DRAM半導体装置

(57) 【要約】

【課題】 チップ面積を大幅に増加することなくカップリング容量値 (C_c) とメモリセル容量値 (C_s) との比を一定にすることができると共に、メモリセル容量素子 C_s を製造する際にバラツキを低減できる多値DRAM半導体装置を提供する。

【解決手段】 カップリング容量値 (C_c) を有するカップリング容量素子 C_c においては、メモリセル容量値 (C_s) と同じ容量値の複数のキャパシタ 100 を直列に接続した第1群のキャパシタと、容量値が相互に異なる複数のキャパシタ 101, 102, 103 が相互に並列に接続され、更に選択ゲート G_1, G_2, G_3 が各キャパシタに直列に接続された第2群のキャパシタとが直列に接続されている。半導体基板上において選択ゲートをキャパシタ 100 の直下に形成することによりチップ面積の増加が防止される。



1

【特許請求の範囲】

【請求項1】 ビット線対をトランスファグートで複数に分割して構成された分割ビット線対と、隣接する分割ビット線対間でのすきがけの関係にある分割ビット線同士を夫々接続する1対のカップリング容量素子とを有する多値DRAM半導体装置において、前記カップリング容量素子は、直列に接続された同一容量の複数の第1群のキャパシタと、この第1群のキャパシタに直列に接続され相互に異なる容量を有して相互に並列に接続された複数の第2群のキャパシタと、前記第2群のキャパシタに夫々直列に接続された選択ゲートとにより構成されていることを特徴とする多値DRAM半導体装置。

【請求項2】 前記選択ゲートは、半導体基板上において前記第1群のキャパシタの直下に形成されていることを特徴とする請求項1に記載の多値DRAM半導体装置。

【請求項3】 ビット線対をトランスファグートで複数に分割して構成された分割ビット線対と、隣接する分割ビット線対間でのすきがけの関係にある分割ビット線同士を夫々接続する1対のカップリング容量素子とを有する多値DRAM半導体装置において、前記カップリング容量素子は、直列に接続された同一容量の複数の第1群のキャパシタと、この第1群のキャパシタに並列に接続され相互に異なる容量を有する複数の第2群のキャパシタと、前記第1群のキャパシタ及び前記第2群のキャパシタに夫々直列に接続された選択ゲートとにより構成されていることを特徴とする多値DRAM半導体装置。

【請求項4】 前記選択ゲートは、半導体基板上において前記第1群のキャパシタの直下に形成されていることを特徴とする請求項3に記載の多値DRAM半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は1セルに複数ビットを記憶させるようにした多値DRAM半導体装置に関する。

【0002】

【従来の技術】 DRAMの記憶容量はこの3年間で4倍という急激な勢いで増加してきた。現在では、64bitDRAMが量産され始めた。このような記憶容量の増大は、素子法を微細にし、素子の密度を増加させること及びチップ面積を増大させることにより実現されてきた。しかし、64MbitDRAMのチップ面積は100mm²を超え、コスト上昇が問題となってきた。チップ面積を縮小するには素子法をさらに縮小する必要があるが、微細加工技術を中心とした製造技術を上させることは容易ではない。

【0003】 素子法を縮小せずにチップ面積を縮小する方法として、情報を記憶するメモリセルに通常の2値(1ビット)より多くの情報である、例えば、4値(2

2

ビット)の情報を書き込み読み出す多値記憶DRAMが提案されている(特開平9-282891号公報)。図5はこの公報に記載された従来の多値DRAM半導体装置(第1従来技術)の回路図である。ビット線対BL、BLBはトランスファグートTGによって2組の分割ビット線対BL1、BL1Bと分割ビット線対BL2、BL2Bとに分けられ、各分割ビット線対はセンスアンプSA1とSA2を持っており、本来のビット線対BL、BLBとワード線WLi(i=0-255)との交点にあるメモリセルは分割ビット線対BL1、BL1Bと分割ビット線対BL2、BL2Bとに振り分けられている。メモリセルの配分は、分割ビット線の導通容量CB1とCB2の比が1:2となるように分配されている。図中、Csはメモリセルのセル容量素子である。

【0004】 また、分割ビット線BL1と分割ビット線BL2Bとの間及び分割ビット線BL2と分割ビット線BL1Bとの間に夫々カプラング容量素子Cc(なお、(Cc)はこのカップリング容量素子Ccの容量値を示す。)が接続されている。メモリセルのセル容量素子Cs(なお、(Cs)はこのセル容量素子Csの容量値を示す。)の一端にはプレート電位と呼ばれる一定電位VP(=1/2VCC)が印加される。また、分割ビット線BL1とBL2B及びBL1BとBL2Bは、夫々カラム選択線CSLの信号によって制御されるトランジスタを介して入出力線I/O1とI/O2に接続されている。

【0005】 この多値記憶DRAMは図5に示すように、センス回路において対になるビット線に容量値(Cc)を有するカップリング容量素子をたすきがけで形成する必要がある。多値記憶動作を行うためには、カップリング容量値(Cc)はメモリセル容量値(Cs)に対して適当な値があり、例えばビット線容量(Cb) > (Cs)の条件である場合には(Cc) = (Cs) / 9が適当であることが示された。

【0006】 そこで、そのような条件を満たすカップリング容量素子としてメモリセルのキャパシタ形状等が等しいキャパシタを直列接続するカップリング容量素子が提案された(特開平9-232531号公報)。図6はこの公報に記載された従来の多値DRAM半導体装置(第2従来技術)のカップリング容量素子の回路図。図7はその断面図である。ビット線対BL、BLBはトランスファグートTGによって2組の分割ビット線対BL1、BL1Bと分割ビット線対BL2、BL2Bとに分けられ、各分割ビット線対はセンスアンプSA1とSA2を持っており、本来のビット線対BL、BLBとワード線WLi(i=0-255)との交点にあるメモリセルは分割ビット線対BL1、BL1Bと分割ビット線対BL2、BL2Bとに振り分けられている。メモリセルの配分は、分割ビット線の導通容量CB1とCB2の比が1:2となるように分配されている。

3

【0007】また、分割ビット線BL1と分割ビット線BL2との間及び分割ビット線BL2と分割ビット線BL1との間に夫々カップリング容量素子Ccが接続されている。このカップリング容量素子Ccはメモリセル容量素子Csと同一の層構造を有する単位容量素子を複数個直列に接続して構成されている。メモリセルにはセル容量素子Csが備えられており、Csの一端にはプレート電位と呼ばれる一定電位VP(=1/2VCC)が印加される。また、分割ビット線BL1とBL2及びBL2とBL1は、夫々カラム選択線CSLの信号によって制御されるトランジスタを介して人出力線I/O1とI/O2に接続されている。このような構造を使用すれば、製造中にメモリセルの蓄積容量値(Cs)が所望の値と異なった場合でもメモリセル容量値(Cs)とカップリング容量値(Cc)との比は一定になるために、製造バラツキに対しても安定した多値動作を保証するDRAMが得られる。

【0008】

【発明が解決しようとする課題】しかしながら、上述の従来の多値DRAM半導体装置は、実際に(Cb) > 20 (Cs)の条件を与えた場合、情報を読み出すときに自困難となるために、(Cs)は(Cb)の1/10程度の値となる。即ち、実際のDRAMでは、カップリング容量値(Cc)=(Cs)/n(nは整数)とはならない。しかも、メモリセルの容量が所望の値とならなかった場合には、ビット線容量とメモリセル容量の比が変化するために、メモリセル容量素子Csの製造のバラツキが問題となる。

【0009】本発明はかかる問題点に鑑みてなされたものであって、チップ面積を大幅に増加することなくカップリング容量値(Cc)とメモリセル容量値(Cs)との比を一定にすることができると共に、メモリセル容量素子Csを製造する際にバラツキを低減できる多値DRAM半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明に係る多値DRAM半導体装置は、ビット線対をトランスファゲートで複数に分割して構成された分割ビット線対と、隣接する分割ビット線対間ですきぎの係にある分割ビット線同士を夫々接続する1対のカップリング容量素子とを有する多値DRAM半導体装置において、前記カップリング容量素子は、直列に接続された同一容量の複数の第1群のキャパシタと、この第1群のキャパシタに直列に接続され相互に異なる容量を有して相互に並列に接続された複数の第2群のキャパシタと、前記第2群のキャパシタに夫々直列に接続された選択ゲートとにより構成されていることを特徴とする。なお、前記選択ゲートは、半導体基板上において前記第1群のキャパシタの直下に形成されていることが好ましい。

【0011】本発明に係る多値DRAM半導体装置は、

4

ビット線対をトランスファゲートで複数に分割して構成された分割ビット線対と、隣接する分割ビット線対間ですきぎの係にある分割ビット線同士を夫々接続する1対のカップリング容量素子とを有する多値DRAM半導体装置において、前記カップリング容量素子は、直列に接続された同一容量の複数の第1群のキャパシタと、この第1群のキャパシタに並列に接続され相互に異なる容量を有する複数の第2群のキャパシタと、前記第1群のキャパシタ及び前記第2群のキャパシタに夫々直列に接続された選択ゲートとにより構成されていることを特徴とする。なお、前記選択ゲートは、半導体基板上において前記第1群のキャパシタの直下に形成されていることが好ましい。

【0012】

【発明の実施形態】以下、本発明の実施例に係る多値DRAM半導体装置について、添付の図面を参照して具体的に説明する。図1は本発明の第一の実施例に係る多値DRAM半導体装置のカップリング容量素子Ccの回路図である。カップリング容量素子Ccの容量値(Cc)はメモリセル容量素子Csの容量値(Cs)と等しいキャパシタ10を8個直列に接続し、更に、このキャパシタ100に並列にキャパシタ101、102、103(第2群のキャパシタ)の並列接続体が並列に接続されている。この並列に接続されたキャパシタ101、102、103の容量値は0.8(Cs)、1.0(Cs)及び1.2(Cs)と相互に異なる。これらのキャパシタ101、102、103には、夫々選択ゲートG1、G2及びG3が直列に接続されている。

【0013】この実施例では、選択ゲートG1が直列に接続されたキャパシタ101、102、103の容量値は、例えば、メモリセル容量値(Cs)の0.8倍、1倍、1.2倍である。

【0014】図2は図1に示した選択ゲートG2とそれに接続される9個のキャパシタの構造を示す断面図である。本実施例の多値DRAM半導体装置においては、膜厚300nmのシリコン酸化膜からなる素子分離絶縁膜2によって区画されたP型半導体基板1の表面に膜厚10nmのシリコン酸化膜からなるゲート絶縁膜3を介して、膜厚100nmのN型多結晶シリコン膜及び膜厚150nmのタングステンシリサイド膜の積層膜からなるゲート電極4が形成されている。素子分離絶縁膜2及びゲート電極4によって自己整合的にP型半導体基板1の表面にN型拡散層5が形成されている。これにより選択ゲートとしてのMOS-FETが構成される。N型拡散層5の表面には膜厚300nmのシリコン酸化膜からなる第1の層間絶縁膜6が堆積されている。また、N型拡散層5は層間絶縁膜6に形成されたN型多結晶シリコン膜からなる第1のコンタクト7を介して、膜厚120nmのタングステンシリサイド膜からなるビット線8に接続されている。ビット線8の表面には膜厚300nmの

シリコン酸化膜からなる第2の層間絶縁膜9が堆積されている。また、ビット線8は第2の層間絶縁膜9に形成されたN型多結晶シリコン膜からなる第2のコンタクト10を介して膜厚500nmのN型多結晶シリコン膜から直下なる容量下部電極11に接続されている。容量下部電極11の表面には膜厚7nmの窒化酸化シリコン膜からなる容量絶縁膜12が形成され、その表面に膜厚200nmのN型多結晶シリコン膜からなる容量上部電極13が形成されることによりキャパシタが形成されている。このキャパシタはメモリセルのキャパシタと同じ構造を有する。容量上部電極13の表面には膜厚300nmのシリコン酸化膜からなる第3の層間絶縁膜14が形成されている。第3の層間絶縁膜14にはタングステンからなる第3のコンタクト15aが形成され、それを介して容量上部電極13が膜厚400nmのアルミニウム合金からなる低抵抗層16と接続されている。

【0015】このように構成された半導体装置においては、選択ゲートG1を選んだ場合には、カップリング容量値はメモリセル容量値(Cs)の0.108倍の値となり、選択ゲートG2を選んだ場合には、カップリング容量値はメモリセル容量値(Cs)の0.111倍の値となり、選択ゲートG3を選んだ場合には、カップリング容量値はメモリセル容量値(Cs)の0.113倍の値となる。

【0016】本実施例において、選択ゲートは3個所に限定するものではなく、複数箇所であればよい。また、選択ゲートを介して接続されたキャパシタの容量の値も、0.8倍、1.0倍、1.2倍に限定するものではない。また、直列接続されたキャパシタの数を9個に限定するものではなく、複数であればよい。

【0017】このように、選択ゲート及び容量値の異なるキャパシタを設けることにより、製造されたDRAMのセル容量値(Cs)が所望の値からずれた場合でも、製造後に最適な容量値となるカップリング容量値を選択することが可能となり、製造マージンの大きな多値記憶DRAMを得ることができる。また、選択ゲートを構成するMOS-FETは直列に接続された同一容量値のキャパシタの直下に形成することが可能であり、余分な面積を必要とすることがなく、チップ面積の増加を防ぐことができる。

【0018】図3は本発明の第2の実施例に係る多値DRAM半導体装置のカップリング容量素子Csの回路図である。カップリング容量素子Csはメモリセル容量の容量値Csと等しいキャパシタ100を9個直列に接続され、これと並列に接続された容量値の異なる2種類のMOSキャパシタCmos1、Cmos2が形成されている。なお、MOSキャパシタCmos1及びCmos2の容量値を夫々(Cmos1)及び(Cmos2)とする。そして、各キャパシタCmos1、直列に接続された9個のキャパシタ100群及びCmos2には夫々

選択ゲートG1、G2及びG3が夫々接続されている。本実施例では選択ゲートG2のみを選んだ場合には、カップリング容量値は(Cs)/9の値となり、選択ゲートG1及びG2を選んだ場合には、カップリング容量値は(Cmos1)+(Cs)/9となり、選択ゲートG2及びG3を選んだ場合には、カップリング容量値は(Cmos2)+(Cs)/9となり、選択ゲートG1、選択ゲートG2及びG3を選んだ場合には、カップリング容量値は(Cmos1)+(Cmos2)+(Cs)/9となる。

【0019】図4は、図3に示した選択ゲート1に接続されたMOSキャパシタCmos1及び選択ゲートG2に接続された9個のキャパシタ100とが並列に接続された断面構造を示す図である。本実施例が第1の実施例と異なる点は、ゲート電極4、ゲート絶縁膜3、及びN型拡散層5からなるMOSキャパシタが形成され、このMOSキャパシタのゲート電極が第1のコンタクト7を介してビット線8に接続されていることである。

【0020】このように構成された半導体装置においては、選択ゲート及び容量値の異なるキャパシタの存在によって、製造されたDRAMのセル容量値(Cs)が所望の値からずれた場合でも、製造後に最適な容量値となるカップリング容量値を選択することが可能となり、製造マージンの大きな多値記憶DRAMを得ることができる。また、選択ゲートを構成するMOS-FETは直列に接続された同一容量値のキャパシタの直下に形成することが可能であり、余分な面積を必要とすることがなく、チップ面積の増加を防ぐことができる。

【0021】

【発明の効果】以上詳述したように、本発明に係る多値DRAM半導体装置は、容易に読み出し特性が最適と考えられるカップリング容量値前後の容量値のキャパシタを複数準備しておき、テストした後に最適なカップリング容量値を選択ゲートによって選択するので、仮に容量素子を形成する際のプロセスの変動、例えば容量絶縁膜厚又は電極高さなどにバラツキが生じても、メモリセルの容量とカップリング容量の比は一定に保持するために、製造マージンの大きな多値記憶DRAMを得ることができる。

【0022】また、従来直列に接続されていた複数個のキャパシタのうちの1個を相互に並列に接続された複数個のキャパシタに変更するだけで上述の効果を得ることができ、全体としてキャパシタの数を抑えることができる。

【0023】更に、半導体基板上において選択ゲートをカップリング容量素子の直下に形成することによりチップ面積の増加を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る多値DRAM半導体装置の回路図である。

【図2】本発明の第1の実施例に係る多値DRAM半導体装置の断面図である。

【図3】本発明の第2の実施例に係る多値DRAM半導体装置の回路図である。

【図4】本発明の第2の実施例に係る多値DRAM半導体装置の断面図である。

【図5】第1の従来例に係る多値DRAM半導体装置の回路図である。

【図6】第2の従来例に係る多値DRAM半導体装置の回路図である。

【図7】第2の従来例に係る多値DRAM半導体装置の断面図である。

【符号の説明】

1：P型半導体基盤

2：素子分離絶縁膜

3：ゲート絶縁膜

4：ゲート電極

5：N型拡散層

6：第1の層間絶縁膜

7：第1のコンタクト

8：ビット線

9：第2の層間絶縁膜

10：第2のコンタクト

11：容量下部電極

12：容量絶縁膜

13：容量上部電極

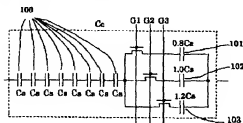
14：第3の層間絶縁膜

15、15a、15b：第3のコンタクト

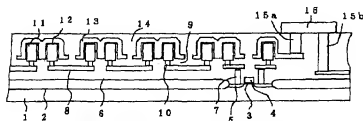
16：金属配線

100、101、102、103：キャパシタ

【図1】



【図2】



1：P型シリコン基盤

2：素子分離絶縁膜

3：ゲート絶縁膜

4：ゲート電極

5：N型拡散層

6：第1の層間絶縁膜

7：第1のコンタクト

8：ビット線

10：第2のコンタクト

11：容量下部電極

12：容量絶縁膜

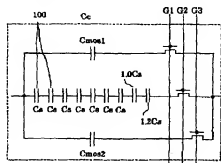
13：容量上部電極

14：第3の層間絶縁膜

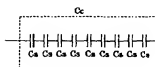
15a、15b：第3のコンタクト

16：金属配線

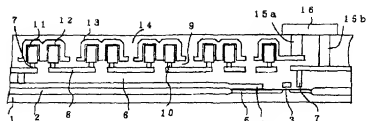
【図3】



【図6】

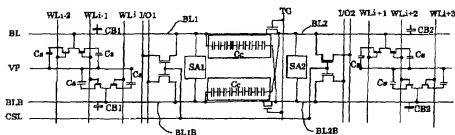


【図4】

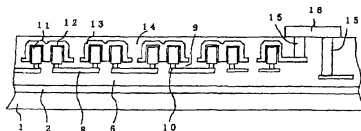


- | | |
|-------------|--------------------|
| 1: P型シリコン基板 | 9: 第2の層間絶縁膜 |
| 2: 第1の層間絶縁膜 | 11: 第2のゲート電極 |
| 3: ゲート絶縁膜 | 12: 第2の層間絶縁膜 |
| 4: ゲート電極 | 13: 第2の層間絶縁膜 |
| 5: N+拡散層 | 14: 第3の層間絶縁膜 |
| 6: 第1の層間絶縁膜 | 15a, 15b: 第3のコンタクト |
| 7: 第1のコンタクト | 16: 金属配線 |
| 8: ビット線 | |

【図5】



【図7】



- | | |
|--------------|--------------|
| 1: P型シリコン基板 | 11: 第2のゲート電極 |
| 2: 第1の層間絶縁膜 | 12: 第2の層間絶縁膜 |
| 3: ゲート絶縁膜 | 13: 第2の層間絶縁膜 |
| 4: ゲート電極 | 14: 第3の層間絶縁膜 |
| 5: N+拡散層 | 15: 第3のコンタクト |
| 6: 第1の層間絶縁膜 | 16: 金属配線 |
| 7: 第1のコンタクト | |
| 8: ビット線 | |
| 9: 第2の層間絶縁膜 | |
| 10: 第2のコンタクト | |